# 素子損失を考慮した6.78MHz帯インピーダンス整合回路付き整流回路

鈴木 暁士† 上田 尚人<sup>††</sup> 袁 巧微<sup>†††</sup> 陳 強<sup>†</sup>

† 東北大学工学研究科 〒 980-8579 宮城県仙台市青葉区荒巻字 6-6

†† 横河レンタ・リース株式会社 〒160-0023 東京都新宿区西新宿 1-23-7 新宿ファーストウエスト

††† 仙台高等専門学校 〒 989-3128 宮城県仙台市青葉区愛子中央 4-16-1

**あらまし** 近年無線電力伝送技術が大きな注目を集めている. 無線電力伝送システムにおいてシステムの高効率化は 不可欠である. 受電側整流回路の高効率化手法として整合回路の接続によるインピーダンス整合が広く用いられてい る. 6.78MHz 帯においてインダクタやキャパシタを用いた整合回路が一般に設計される. しかし, インダクタやキャパ シタは素子固有の損失を有する. 既存の設計手法では素子損失を十分に考慮したインピーダンス整合を実現できず, 所 望のインピーダンスに整合できない. 本報告では, 素子の損失を Q 値を用いて表し素子損失を考慮し整合回路の設計を 行い整流回路のインピーダンスを整合する. また導線抵抗を抑えるため線を太くし, 制作時に小型化した整合回路付き 整流回路の伝送効率及び入力インピーダンスについて示す.

キーワード 無線電力伝送, 整流回路, インピーダンス整合, 集中定数, 素子損失

# 6.78MHz-band rectifier with impedance matching circuit considering intrinsic ohmic loss

Satoshi SUZUKI<sup>†</sup>, Shoto UEDA<sup>††</sup>, Qiaowei YUAN<sup>†††</sup>, and Qiang CHEN<sup>†</sup>

† Graduate School of Engineering, Tohoku University Aoba 6–6, Aramaki, Aoba-ku, Sendai, Miyagi, 980–8579 Japan

†† Yokogawa Rental & Lease Corporation Shinjuku First West, Nishi-Shinjuku 1–23–7, Shinjuku-ku, Tokyo, 160–3123 Japan

††† National Institute of Technology, Sendai College Ayashi-Chuo 4–16–1, Aoba-ku, Sendai, Miyagi, 989–3128 Japan

**Abstract** Nowadays, Wireless Power Transfer (WPT) becomes very popular. It is very important to make the efficiency of WPT system as high as possible. Impedance matching circuit can be often applied to get close to this purpose. In 6.78MHz band, lumped elements such as inductors and capacitors are used as the elements of a matching circuit. However, they have not only the reactive components but also their intrinsic ohmic loss. In the most of available matching methods to make matching circuit does not consider their loss. Therefore, it cannnot make the right impedance matching circuit. In this paper, we make the matching circuit for rectifier with the method considering the ohmic loss. In addition, the input impedance and transmission efficiency are presented.

Key words Wireless Power Transfer, Recrifier, Impedance matching, Lumped elements, Ohmic loss

1. まえがき

無線電力伝送技術は近年世界中で注目を集めている技術であ る. 無線電力伝送は電力を必要とするあらゆるデバイスに対し 応用可能で,一例として小型センサに対するエネルギーハーベ スティングなどが考えられている[1]. 無線電力伝送システムに おいて伝送効率を高めることは不可欠である. 高効率化によっ て空間中への不要放射を抑制し,周辺環境への影響も抑制する ことが可能である. 一般的な無線電力伝送システムのブロック 図を図1に示す.

特に受信側において高効率化のためにインピーダンス整合回路を接続することが一般的である [2] [3] [4] [5]. 6.78MHz 帯に



図1 無線電力伝送システムのブロック図

おけるインピーダンス整合回路では主にインダクタやキャパシ タなどの集中定数が用いられる.集中定数を用いたインピーダ ンス整合回路の設計手法にすでに[6]によって知られている.し かし,既存の設計手法では整合回路で使用する集中定数が無損 失であるということが前提として用いられている.一方,実際に 回路制作で使用するインダクタやキャパシタは固有の素子損失 を有している.このため設計した整合回路を制作した際素子損 失によってインピーダンス整合が十分に実現できない.アン テナなどに起因する損失が伝送効率に与える影響は無視できず, 高効率化のためには正しい損失の考慮が必須である[7].本報告 では,素子損失とリアクタンス及びサセプタンスの関係を Q 値 によって定義し,L型インピーダンス整合回路の設計時に損失 を考慮する.また,回路制作時に導線抵抗を小さくするため断面 積を大きくすることでさらに損失を抑え小型化した整合回路付 き整流回路図の測定による入力インピーダンスを示す.

# 2. 損失を考慮した L 型整合回路の設計手法

インピーダンス整合回路の種別を図2に示す.



図2 インピーダンス整合回路のトポロジによる種別

本報告では集中定数を用いた L 型インピーダンス整合回路 に注目した整合回路の設計を行う. L 型インピーダンス整合回 路の設計理論が T 型及び II 型整合回路設計に応用可能なため である. L 型インピーダンス整合回路は直列リアクタンス X 及 び並列サセプタンス B によって構成され, そのトポロジは整合 対象のインピーダンス  $Z_s = R_s + jX_s$  及び負荷インピーダンス  $Z_l = R_l + jX_l$ の関係によって図 3 に示す 2 つのトポロジのどち らか, 或いはその両方が選択される.



スミスチャートを用いた既存手法における整合回路のトポロ ジ選択条件を図4に示す.



図4 L型インピーダンス整合回路のトポロジ決定条件(既存手法)

図中領域 I において整合回路は BX トポロジのみ設計され る. 同様に領域 II においては XB トポロジのみが設計され,領 域 III ではその両方のトポロジが設計可能となる.素子損失を 考慮することでこの境界は Q 値に従って変化する. 各リアクタ ンスに付随する損失は Q 値の定義式を用いて R = |X|/Q 及び G = |B|/Qとする. これにより L 型整合回路はインピーダンス 素子 Z = R + jX 及びアドミタンス素子 Y = G + jB によって構 成されると考えられる. L 型整合回路で使用する集中定数の Q 値がともに 10 であった場合の境界線を図 5 に破線で示す.



図 5 Q 値によるトポロジ選択条件の変化 (Q = 10)

実線と破線の間に  $Z_i$  がプロットされた場合, その整合回路の トポロジは Q 値によって変化する.  $Z_s = 50\Omega$  の際この領域に プロットされる負荷インピーダンスの例として  $1 - j500\Omega$  や  $5 - j1000\Omega$  などが考えられる. 整合回路で使用する 2 つの素子 の Q 値, 電源インピーダンス  $Z_s$ , 負荷インピーダンス  $Z_i$  を初期 値として与え L 型整合回路内リアクタンス X 及びサセプタンス B を求める. 各 X 及び B を決定したのち各々の素子の有する損 失 R 及び G を関係式から導出する. 損失を考慮しない既存手法 (Conventional Matching Circuit: CMC) と損失を考慮する新手法 (Lossy Matching Circuit: LMC) による各 Q 値ごとの整合回路を 接続した入力インピーダンス  $Z_{in} = R_{in} + jX_{in}$ の変化を比較した ものを図 6 及び図 7 に示す. 整合対象の負荷インピーダンスは  $1 + j6\Omega$ とする.



図 6 手法による  $Z_{in}$  の変化 ( $Z_l = 1 + j6\Omega$ , Series L, ShuntC)



図7 手法による  $Z_{in}$  の変化 ( $Z_l = 1 + j6\Omega$ , Series C, Shunt L)

グラフより素子損失を考慮する手法は *Q* 値によらず, すなわ ち素子がどれだけ損失を有していても入力インピーダンスが正 しく 50Ω 整合を実現できていることがわかる. 本手法は特に *Q* 値の小さな集中定数を使用しなければいけない状況においてさ らに有用であると考えられる.

# 素子損失を考慮した整合回路付き整流回路の 設計

#### 3.1 使用するダイオード及び LC のパラメータ

回路内で使用するインダクタ及びキャパシタの素子損失を考慮し整合回路を設計,接続する.整流回路のトポロジはシングルシャント半波整流回路とする.整流回路で使用するダイオードは Avago 社の HSMS-2820 とする.回路シミュレータによる解析で使用した HSMS-2820 の SPICE パラメータの一部を表1に示す.表中 *I*s はダイオード遮断時に逆方向に流れる漏れ電流,*R*s はダイオード導通時の直列抵抗,*C*<sub>10</sub> はバイアスをかけない状態におけるダイオードの有するキャパシタンス,そして *V*B はダイオードの降伏電圧を示している.

表1 HSMS-2820の SPICE パラメータ

$I_s[nA]$	220
$R_s[\Omega]$	6.0
<i>C<sub>j0</sub></i> [pF]	0.7
$V_B[V]$	15

表より HSMS-2820 は保有するキャパシタンスが小さいこと, またショットキバリアダイオードであるためそのスイッチング 時間が非常に速いことから更に高周波の整流回路においても使 用可能であることがわかる.

また, 整合回路で使用するインダクタ及びキャパシタの Q 値は 表 2 及び表 3 に示す実際に制作で使用した素子のデータシート からインダクタの場合 30 から 36 の間で変化させ, キャパシタ の場合は 1000 より非常に大きいと与える.

表2 回路で使用したインダクタの Q 値

型番	L	Q	$R [m\Omega]$
LQM2HPNR68MGH	680nH	30.7	860
LQM2HPNR47MGH	470nH	36	560

衣5 回時 C 使用 した キャパン ス の ℓ 値					
型番	С	Q	<i>R</i> [mΩ]		
GRM219B31H105KA73	1µF	1.87	9		
GRM31A5C2H471JW01	470pF	-(極大)	-		
GRM31A5C2H391JW01	390pF	-(極大)	-		
GRM31A5C2H151JW01	150pF	-(極大)	-		
GRM31A5C2H121JW01	120pF	-(極大)	-		

### 表3 回路で使用したキャパシタの Q 値

#### 3.2 整合回路付き整流回路の設計

回路シミュレータ LTSpice を用いて整合回路を設計する. 設計手法は前節で示した素子損失を考慮した L型インピーダンス 整合回路設計手法を用いる. 設計された整合回路付き整流回路 図を図 8 に示す.



図8 整合回路付きシングルシャント半端整流回路図

解析における本回路の入力インピーダンスは 50.8 – j3.41Ω で あった. このことから理論計算において素子損失を考慮したイ ンピーダンス整合が十分実現できていることが確認された.

#### 4. 整合回路付き整流回路の制作

前節において解析で示された整流回路を実際に制作する.制 作の際損失を抑えるため導電率,断面積による導線抵抗の定義式  $\rho = \sigma l/S$ より断面積を大きくする.また本コンテストの要件に 示されてはいないがデバイスへの搭載用途を広げるため回路を 小型に設計する.図9にコンテストで使用した整流回路を示す.





図9 制作した 6.78MHz 帯整合回路付き整流回路

回路は十分に小型化され大会規定であった縦,横,高さの3辺 の総和が36cm以内という条件に対し本回路は縦,横,高さの3 辺の総和が約4.5cmであった.この回路サイズは大会にエント リーした回路の中で最も小さいものであった.

## 5. 整流回路のインピーダンス及び整流効率測定

制作した整流回路に対し整合回路が正しく設計されている か確認するため、ベクトルネットワークアナライザ (VNA)を用 いて入力インピーダンスの測定を行う. VNA は Keysight 社の E5071C を使用する. 測定系を図 10 に示す. 整流回路への入射 電力 *P*<sub>inc</sub> は VNA の設定より 10dBm とする.



図 10 整流回路の入力インピーダンス測定系

測定の結果,整流回路の入力インピーダンスは 47 + j12Ω で あった.また大会会場にて負荷電圧をもとに回路の整流効率を 導出したところ,その効率は約 34%という結果になった.

#### 6. まとめ

本報告では整流回路のインピーダンス整合において素子損失 を考慮しない設計手法を問題として取り上げ,損失を Q 値を用 いることで考慮可能な設計手法を用いて L 型インピーダンス整 合回路を設計,接続し大会会場においてその有効性を確認した. 今回設計した 2 団の整合回路はいずれもキャパシタを中心に使 用しており,Q 値の低いインダクタの使用は一部分にとどまっ た. このため,整合回路内で考慮される素子損失が小さくなり, 手法そのものの有効性ははっきりと示されなかった.損失考慮 によるインピーダンスの特に虚部が大きい整流回路に対しさら に有効な結果を示すことが可能と考えている. 高周波整流回路 コンテストにおいてはその小型さからユニークデザイン賞を受 賞した.

#### 文 献

- Y. Shinki, K. Shibata, M. Mansour, and H. Kanaya, "High efficiency energy harvesting circuit with impedance matched antenna," 2016 IEEE 18th Electronics Packaging Technology Conference (EPTC), Singapore, 2016, pp. 532-535.
- [2] J. Moon, H. Hwang, B. Jo, C. K. Kwon, T. G. Kim, and S. W. Kim, "Design and implementation of a high-efficiency 6.78MHz resonant wireless power transfer system with a 5W fully integrated power receiver," in IET Power Electronics, vol. 10, no. 5, pp. 577-587, April 2017.
- [3] J. Kim, D. H. Kim, and Y. J. Park, "Analysis of Capacitive Impedance Matching Networks for Simultaneous Wireless Power Transfer to Multiple Devices," vol. 62, no. 5, pp. 2807-2813, May 2015.
- [4] S. Suzuki, S. Abe, and Q. Yuan, "Efficiency of Rectify Circuit with Matching Circuit for Wireless Power Transfer," *IEICE Tech. Rep.*, vol. 114, No.246, WPT2014-37, pp.11-14, Oct. 2014.
- [5] J. Rahola, "Optimization of matching circuits for antennas," Proceedings of the 5th European Conference on Antennas and Propagation (EUCAP), Rome, 2011, pp. 776-778.
- [6] D. M. Pozar, Microwave Engineering, Wiley international edition.
- [7] Qiang Chen, Kazuhiro Ozawa, Qiaowei Yuan, and Kunio Sawaya, "Antenna Characterization for Wireless Power-Transmission System Using Near-Field Coupling," IEEE Antennas Propag. Mag., vol. 54, no. 4, pp. 108-116, Aug. 2012.